

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-174715

(43)Date of publication of application : 29.07.1991

(51)Int.Cl.

H01L 21/027

H01J 37/09

(21)Application number : 02-124636

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.05.1990

(72)Inventor : SAKAMOTO JUICHI  
FUEKI SHUNSUKE  
TAKAHASHI YASUSHI  
YASUDA HIROSHI

(30)Priority

Priority number : 01126121

Priority date : 19.05.1989

Priority country : JP

01239623

14.09.1989

JP

01248835

25.09.1989

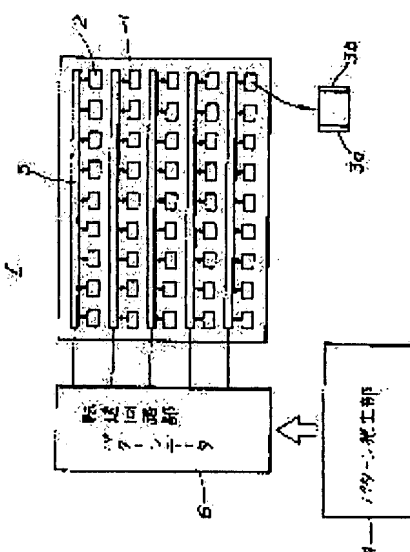
JP

(54) BLANKING APERTURE ARRAY, MANUFACTURE THEREOF AND APPARATUS AND METHOD FOR CHARGED PARTICLE BEAM EXPOSURE

(57)Abstract:

**PURPOSE:** To enable execution of an excellent charged particle beam exposure by a construction wherein a base having apertures with blanking electrodes arranged in (m) rows and (n) columns two-dimensionally and m-bit shift registers numbering (n) and impressing voltages according to pattern data on the blanking electrodes are provided.

**CONSTITUTION:** A blanking aperture array 1 arranged two-dimensionally is employed for forming the sectional shape of a charged particle beam in a desired pattern. Apertures 2 in the array are arranged two-dimensionally in a matrix in the longitudinal and lateral directions. Each aperture 2 is provided with a pair of blanking electrodes 3a and 3b, and by turning ON/OFF a voltage applied thereto, the beam passing through the aperture 2 is deflected/non-deflected so that the beam is applied or not applied to a material to be exposed. The voltage impressed on each blanking electrode is set in accordance with the desired pattern of the sectional shape of the beam. A pattern generating element 4 generates the desired pattern and a driving mechanism 5 supplies each blanking electrode with an ON/OFF voltage according to the desired pattern. This constitution enables execution of an excellent charged particle beam exposure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平3-174715

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月29日

H 01 L 21/027  
H 01 J 37/09

A

9069-5C  
7013-5F

H 01 L 21/30

3 4 1 B

審査請求 未請求 請求項の数 21 (全 29 頁)

⑭ 発明の名称 ブランキングアパーチャアレイ、その製造方法、荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法

⑰ 特 願 平2-124636

⑱ 出 願 平2(1990)5月15日

優先権主張 ⑳ 平1(1989)5月19日㉑ 日本(JP)㉒ 特願 平1-126121

⑲ 発 明 者 坂 本 樹 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 笛 木 俊 介 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉓ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉔ 代 理 人 弁理士 伊東 忠彦 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

ブランキングアパーチャアレイ、その製造方法、荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法

## 2. 特許請求の範囲

(1) 荷電粒子ビームが照射され、該ビームを整形するブランキングアパーチャアレイにおいて、  
ブランキング電極(3a, 3b, 19a, 19b, E<sub>1</sub>, E<sub>2</sub>)付きのアパーチャ(2, 19c, AP)が少なくともm行n列に二次元配列された基板(75, 110)と、

該第i列(i=1, 2, ..., n)におけるアパーチャのm組の該ブランキング電極にパターンデータに従った電圧を印加するmビットのシフトレジスタ(5, 19d)がn個設けられていることを特徴とするブランキングアパーチャアレイ。

(2) 前記n個のシフトレジスタ(5, 19d)

にパターンデータを入力するバッファ(6, 19e)が設けられていることを特徴とする請求項1記載のブランキングアパーチャアレイ。

(3) 前記n個のシフトレジスタ(5, 19d)は前記m行n列に配列されたアパーチャ(2, 19c, AP)の各行に沿って設けられていることを特徴とする請求項1又は2記載のブランキングアパーチャアレイ。

(4) 前記n個のシフトレジスタ(5, 19d)は、夫々前記m行n列に配列されたアパーチャ(2, 19c, AP)の行方向の格子幅内にインバータ及び通過制御トランジスタを直列に接続して1単位としたシフトレジスタ部を複数直列接続してなり、各シフトレジスタ部の出力は対応するブランキング電極(3a, 3b, 19a, 19b, E<sub>1</sub>, E<sub>2</sub>)へ印加され、該m行n列に配列されたアパーチャの列方向の格子幅内に隣り合う前記通過制御トランジスタを夫々オン/オフさせる第1及び第2のクロック(CLK<sub>1</sub>, CLK<sub>2</sub>)の信号線が設けられていることを特徴とする請求項

1～3のうちいずれか一項記載のブランキングアパーチャアレイ。

(5) 前記  $n$  個のシフトレジスタ (5, 19d) は、夫々前記  $m$  行  $n$  列に配列されたアパーチャ (2, 19c, AP) の行方向の格子幅内に 2 個のインバータ ( $Q_1 \sim Q_2$ ) を第 1 のゲート ( $Q_1$ ) で直列に接続して 1 単位とした回路部を第 2 のゲート ( $Q_2$ ) で複数直列接続してなり、各回路部の出力は対応するブランキング電極 (3a, 3b, 19a, 19b,  $E_1$ ,  $E_2$ ) へ印加され、該  $m$  行  $n$  列に配列されたアパーチャの列方向の格子幅内に該第 1 及び第 2 のゲートを夫々オン／オフさせる第 1 及び第 2 のクロック ( $CLK_1$ ,  $CLK_2$ ) の信号線が設けられていることを特徴とする請求項 1～3 のうちいずれか一項記載のブランキングアパーチャアレイ。

(6) 前記  $n$  個のシフトレジスタ (5, 19d) は、夫々前記  $m$  行  $n$  列に配列されたアパーチャ (2, 19c, AP) の行方向の格子幅内に 1 個のインバータ ( $Q_1$ ,  $Q_2$ ) 及び 1 個のゲート

( $Q_2$ ) を接続して 1 単位としたシフトレジスタ部を複数直列接続してなり、各シフトレジスタ部の出力は対応するブランキング電極 (3a, 3b, 19a, 19b,  $E_1$ ,  $E_2$ ) へ印加され、該  $m$  行  $n$  列に配列されたアパーチャの列方向の格子幅内に該ゲートを夫々オン／オフさせる第 1 及び第 2 のクロック ( $CLK_1$ ,  $CLK_2$ ) の信号線が設けられていることを特徴とする請求項 1～3 のうちいずれか一項記載のブランキングアパーチャアレイ。

(7) 前記  $n$  個のシフトレジスタ (5, 19d) は、前記パターンデータに加えて露光時間修正用データに従った電圧をも前記アパーチャ (2, 19c, AP) の前記ブランキング電極 (3a, 3b, 19a, 19b,  $E_1$ ,  $E_2$ ) に印加し、該アパーチャの一部は露光時間修正用に用いられることを特徴とする請求項 1～6 のうちいずれか一項記載のブランキングアパーチャアレイ。

(8) 前記  $m$  行  $n$  列に配列されたアパーチャ (2, 19c, AP) 及び前記  $n$  個のシフトレジスタ

- 3 -

(5, 19d) を 1 単位 (64, 65) とするアレイが前記基板 (75, 110) に複数単位独立して設けられていることを特徴とする請求項 1～7 のうちいずれか一項記載のブランキングアパーチャアレイ。

(9) 前記単位 (64, 65) の他に、可変矩形用の開口部 (66A) 及び所望パターンの形状の透過孔を有するステンシル (66B) のうち少なくとも一方が前記基板 (75, 110) に更に設けられていることを特徴とする請求項 8 記載のブランキングアパーチャアレイ。

00 半導体基板 (110) に不純物拡散層 (112) を形成し、その上にエピタキシャル成長層 (114) を形成する工程と、

該エピタキシャル成長層に、インバータとゲートを単位としてその複数単位を直列に接続してなるシフトレジスタと該ゲートのクロック信号線を行、列方向に形成し、その行、列方向のシフトレジスタと信号線の各間に一対の電極付きの開口を形成する工程と、

- 5 -

- 4 -

該開口の一対の電極の一方 ( $E_2$ ) へシフトレジスタの各単位の出力端を接続し、他方 ( $E_1$ ) へは全て低電位線をまたは交互に高、低電位線を接続する工程を有することを特徴とするブランキングアパーチャアレイの製造方法。

01 一対の電極付きの開口を形成する工程は、エピタキシャル成長層の、各開口の対向する一対の側辺の位置に、細幅の溝 (116) を半導体基板に達するまでトレンチエッチングにより蝕刻する工程と、

溝表面に絶縁膜 (118) と形成する工程と、電極となる金属 (120) を各対の溝内に堆積させる工程と、

各対の溝内の電極間のエピタキシャル成長層および不純物拡散層を表面側からエッチングして除去し、該電極間の半導体基板を裏面側からテーパエッチングして除去して開口を作る工程とを有することを特徴とする請求項 10 記載のブランキングアパーチャアレイの製造方法。

02 ブランキング電極 (3a, 3b, 19a,

- 6 -

19b, E<sub>1</sub>, E<sub>2</sub>) 付きのアーチャ(2, 19c, AP) が少なくとも m 行 n 列に二次元配列された基板(75, 110) を有するブランキングアーチャアレイ(1, 19A) を用いて該ブランキング電極に印加する電圧で該アーチャを通る荷電粒子ビームをオン/オフすることによりパターン化された荷電粒子ビームでステージ(22)上の露光対象(24)を露光する荷電粒子ビーム露光装置において、

該ブランキングアーチャアレイは第 i 列におけるアーチャの m 組のブランキング電極に露光すべき図形のパターンデータに従った電圧を印加する m ビットのシフトレジスタ(5, 19d) が n 個設けられていることを特徴とする荷電粒子ビーム露光装置。

03 前記ブランキングアーチャアレイ(1, 19A)は、前記 m 行 n 列に配列されたアーチャ(2, 19c, AP) 及び前記 n 個のシフトレジスタ(5, 19d) を 1 単位(64, 65)とするアレイが前記基板(75, 110)に複数単

位独立して設けられており、1つのアレイを使用して露光中に他のアレイに次に露光すべき図形のパターンデータに従った電圧を印加してオンアーチャの配列を次の所望パターンに変更するようにしてなることを特徴とする請求項12記載の荷電粒子ビーム露光装置。

04 前記シフトレジスタ(5, 19d)は、露光に先立って前記パターンデータを前記ブランキング電極(3a, 3b, 19a, 19b, E<sub>1</sub>, E<sub>2</sub>)に供給してオンアーチャの配列を所望形状にし、その後ビーム(219)を入射してビーム断面形状を該所望形状に成形して露光を行なうようにしてなることを特徴とする請求項12又は13記載の荷電粒子ビーム露光装置。

05 前記ブランキングアーチャアレイ(1, 19A)で選択されパターン化された前記荷電粒子ビームを前記露光対象へ投射する偏向収束手段(35, 17, 20)を更に有することを特徴とする請求項12～14のうちいずれか一項記載の荷電粒子ビーム露光装置。

- 7 -

06 前記 n 個のシフトレジスタ(5, 19d)は、列方向 n ビットずつ順次入力される前記パターンデータをクロックにตอบสนองして一斉にシフト動作し、前記ステージ(22)の移動及び前記偏向収束手段(35, 17, 20)の偏向は前記ブランキングアーチャアレイ(1, 19A)で選択されパターン化されたビームが該ステージ上の前記露光対象(24)上の同じ位置に投射するように制御されることを特徴とする請求項15記載の荷電粒子ビーム露光装置。

07 前記 n 個のシフトレジスタ(5, 19d)は、列方向 n ビットずつ順次入力される前記パターンデータをクロックにตอบสนองして一斉にシフト動作し、該パターンデータに対するシフト動作終了後に前記荷電粒子ビームによる露光を行なうようにしてなることを特徴とする請求項12～15のうちいずれか一項記載の荷電粒子ビーム露光装置。

08 前記ブランキングアーチャアレイ(1, 19A)は、単純矩形開口部、可変矩形用開口部、

およびステンシルが形成された第1のマスク(75A, 75B)と、単純矩形開口部、ブランキング矩形開口部、及びアーチャアレイとその駆動機構が形成されている第2のマスク(75B, 75A)を備え、これらのマスクは、第1のマスクのアーチャアレイ対応部分は単純矩形開口部であり、第2のマスクの可変矩形用開口部及びステンシル対応部は単純矩形開口部またはブランキング矩形開口部であるように重ねて配設されることを特徴とする請求項12記載の荷電粒子ビーム露光装置。

09 m 行 n 列に二次元配列した可制御荷電粒子ビーム発生素子(BG<sub>1</sub>, BG<sub>2</sub>)を備えて、露光すべき図形の各ドットに対応する該ビームを発生する荷電粒子ビーム発生手段(1, 19A)と、該発生素子のアレイの各行に沿って、その各素子にパターンデータに従う電圧を印加する m ビットのシフトレジスタ(5, 19d)と、

これら n 個のシフトレジスタへパターンデータを入力するバッファ(6, 19e)と、

- 8 -

- 9 -

- 10 -

前記発生手段が発生した荷電粒子ビームをステージ(22)上の露光対象(24)へ投射する偏向収束手段(35, 17, 20)とを備えることを特徴とする荷電粒子ビーム露光装置。

④ 請求項19に記載の荷電粒子ビーム露光装置を用いた露光方法であって、

前記バッファ(6, 19e)はn個の前記シフトレジスタ(5, 19d)へ、露光すべき図形のパターンデータを列方向nビットずつ順次入力し、n個のシフトレジスタはクロックに従って一斉にシフト動作し、

前記ステージ(22)の移動と偏向収束手段(35, 17, 20)の偏向は、前記荷電粒子ビーム発生手段で選択されパターン化されたビームが該ステージ上の同じ位置に投射するように制御することを特徴とする露光方法。

(21) 前記バッファ(6, 19e)がn個のシフトレジスタ(5, 19d)へ入力するデータには図形パターンデータの他に修正用データが含まれ、一部の発生素子は露光時間修正用に用いられ

ることを特徴とする請求項20記載の露光方法。

### 3. 発明の詳細な説明

#### 〔概要〕

ブランキングアパーチャアレイ、その製造方法、ブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及び方法に関し、

微細さ、位置合わせ精度、クイックターンアラウンド、制御及び信頼性の全てにおいて従来のリソグラフィ技術よりすぐれた荷電粒子露光を可能とすることを目的とし、

ブランキングアパーチャアレイは、ブランキング電極付きのアパーチャが少なくともm行n列に二次元配列された基板と、ブランキング電極にパターンデータに従った電圧を印加するmビットのシフトレジスタがn個設けられるように構成する。

#### 〔産業上の利用分野〕

本発明はブランキングアパーチャアレイ、その

- 11 -

製造方法、ブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及びブランキングアパーチャアレイを用いた荷電粒子ビーム露光方法に関する。

近年、益々集積回路(IC)の集積度と機能が向上して、ICは計算機、通信機器等広く産業全般に亘る技術の核としての役割が期待されている。

IC製造技術の大きな柱は、微細加工による高集積化である。フォトリソグラフィは、微細加工の限界が $0.3\mu\text{m}$ 程度である。しかし、電子、イオンやX線ビームなどを用いる荷電粒子ビーム露光では、 $0.1\mu\text{m}$ 以下の微細加工が $0.05\mu\text{m}$ 以下の位置合わせ精度で出来る。従って、1cdを1秒程度で露光する荷電粒子ビーム露光装置が実現すれば、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても他のリソグラフィ技術の追従を許さない。つまり、1~4 Gbit メモリやIMゲートLSIの製造も可能となる。

- 13 -

- 12 -

#### 〔従来の技術〕

荷電粒子ビーム露光装置には、ビームをスポット状にして使用するポイントビーム型、サイズ可変の矩形断面にして使用する可変矩形ビーム型、ステンシルを使用して所望断面形状にするステンシルマスク型、所望断面形状にするのにブランキングアパーチャアレイを使用するタイプのもの等種々の装置がある。

ポイントビーム型の荷電粒子ビーム露光装置ではスループットが低いので、研究開発用にしか使用されていない。可変矩形ビーム型の荷電粒子ビーム露光装置では、ポイントビーム型と比べるとスループットが1~2桁高いが、 $0.1\mu\text{m}$ 程度の微細なパターンが高集積度で詰まったパターンを露光する場合などではやはりスループットの点で問題が多い。他方、ステンシルマスク型の荷電粒子ビーム露光装置は、可変矩形アパーチャに相当する部分に複数の繰返しパターン透過孔を形成したステンシルマスクを用いる。従って、ステンシルマスク型の荷電粒子ビーム露光装置では繰

- 14 -

り返しパターンを露光する場合のメリットが大きく、可変矩形ビーム型に比べてスループットが向上される。

第23図に、ステンシルマスクを備えた荷電粒子ビーム露光装置の概要を示す。集束電磁レンズ212は、光軸214（ビーム軸を便宜的に光軸と呼称する）に球心を一致させた図示しない一対の凸電磁レンズより構成され、一方のレンズで入射側球面212aを他方のレンズで出射側球面212bを形成している。ステンシルマスク213は、光軸214に一致して開口された可変矩形透過孔213aと複数の繰返しパターン透過孔213bとを備えて形成されている。

このような構成において、入射側球面212aへのビーム入射位置は、静電偏向器211による偏向量によって決まる。例えば、可変矩形透過孔213aを選択する場合、ビームは球面212aの位置Aに入射し、パターン透過孔213bを選択する場合は、同様に位置Bに入射する。ビーム静電偏向器211の偏向操作に応じて、ビームの球面212aへの入射位置

が変化し、ステンシルマスク213を通過し、出射側球面212bから出射し、再び光軸214に戻る経路をとり、ウエハー上へパターンが転写される。

第23図(c)(d)にステンシルマスク上のパターンの一例を示し、同図(b)にこれらのパターンのマスク上での配列状態を示す。パターン213b, 213cは配線の連結部によく現われるパターンであり、この1つで、又は点線で示すように複数個連続させて、配線またはその連結部の描画（露光）を行なう。213aは可変矩形アパーチャ用の開口である。矩形断面に成形したビームをこの開口213aに一部のみ重なるようにして投射することで、ビーム断面がずれ量に応じて変化して（可変矩形の）出て行く。矩形断面に成形したビームをパターン213b, 213cに投射すると、図示パターン（孔）内のみ通過可能であるから、断面が図示パターンに変更されたビームになって出て行く。

このステンシルマスクは、図示パターンを一時に露光でき、露光速度を上げることができる。しかし、従来型では、ステンシルマスクは、複数の

- 15 -

透過孔を持つものの、転写パターンは、露光に合わせて、事前にステンシルマスクとして形成しなければならない、また露光領域が有限であるため、1枚のステンシルマスクに納まらない多数の転写パターンが必要な半導体回路に対しては、複数枚のステンシルマスクを作成しておいてそれを1枚ずつ取出して使用する必要があり、マスク交替の時間が必要になるため、著しくスループットを低下させる結果を招いている。

この問題点を解決する方法として、2次元方向に配列されたブランキングアパーチャアレイをステンシルマスクのかわりに設けることが提案されている。このような構成であれば、任意の形状の転写パターンを、個々のブランキング電極に印加する信号を変化させるだけでつくり出すことができる。

2次元ブランキングアパーチャアレイによる方法では、シリコン等の半導体結晶に多数の開口を2次元的に並べて、開口の両側にブランキング電極を形成し、これに電圧を印加する、しないをパ

ターンデータにより与える。例えば、各孔のうち、一方の電極をグラウンドに落とし、他方の電極に電圧を印加すると、そこを通過した電子ビームは曲げられるので、ブランキングアパーチャアレイの下部に設置されたレンズを通過した後アパーチャでカットされてビームが試料面に出て来ない。又、他方の電極に電圧を印加しないと、そこを通過した電子ビームは曲げられないので、ブランキングアパーチャアレイの下部に設置されたレンズを通過した後アパーチャでカットされずにビームが試料面に照射される。

第24図にこの電子ビーム露光装置の概要を示す。BAAがブランキングアパーチャアレイであり、電子ビームEBの断面を所望形状のドットパターンに変形する。電子銃EGから出た電子ビームEBは集束、偏向等されてアパーチャアレイBAAに垂直に入出力し、再び集束、偏向等され、対物レンズOLを通過して、可動ステージSTのウエハーWFの指定位置に入射する。アパーチャアレイBAAは可変矩形やステンシルと並設され

- 16 -

- 17 -

- 18 -

ることもあり、この場合電子ビームはアパーチャアレイ B A A の所望位置を通るよう点線で示す如くシフトされる。このシフトや、アパーチャアレイ B A A の各開口のオン／オフはパターンコントローラ PCTL により行なわれ、コントローラ P T C L はプロセッサ C P U により制御される。なおこの図の M D は磁気ディスク装置、M T は磁気テープ装置、D / A はデジタルアナログ変換及び増幅器、G / S は 2 次元オン／オフ情報発生／蓄積装置である。

2 次元ブランキングアパーチャアレイでは例えば  $200 \times 200$  個の開口を備え、これを通った電子ビームは最大  $200 \times 200$  本の点ビームになる。開口は個々にオン／オフ可能なので、この  $200 \times 200$  個のドットで任意の 2 次元図形を表わすことができる。アパーチャアレイを通った電子ビームはレンズで縮小し、例えば  $0.01 \mu\text{m}$  の、最大  $200 \times 200$  本、縦横  $4 \mu\text{m} \times 4 \mu\text{m}$  の領域に収まるビームとしてウエーハに投射する。電子ビーム露光装置の最終レンズの球面収支差、色収差は約

$0.02 \mu\text{m}$  程度にしか抑える事が出来ないで、ブランキングアパーチャアレイを通過した個々のビームはウエーハ面上では接触または重なって照射されることになり、露光、現像されたパターンが個々の点に離れてしまうことはない。

〔発明が解決しようとする課題〕

ところで  $200 \times 200 = 4$  万個の ON / OFF 情報を、4 万個のブランキングアパーチャアレイの各々の電極に与えることは容易ではない。例えば厚さ  $30 \mu\text{m}$  の Si の結晶に  $15 \mu\text{m}$  ピッチで  $10 \mu\text{m} \times 10 \mu\text{m}$  の開口をエッチングで形成し、その表面に  $3000 \text{\AA}$  程度の薄い酸化膜を形成して、開口の 2 つの対向する面にタングステン (W) で電極を形成すると、Si の結晶に  $5 \mu\text{m}$  幅の格子状の部分が残る。この  $5 \mu\text{m}$  幅の格子の上に金属配線パターンを形成し、金属配線パターンを通じて各開口の電極に独立な電気的信号を付与することが必要である。200 行 200 列の格子点に配線パターンを繋げるためには、各 1 本の横ラインに最

- 1 9 -

低でも 100 本の配線パターンを通すことになる（この場合には左右から半分ずつ、配線パターンを繋げるとしている）。 $5 \mu\text{m}$  の幅に 100 本のラインアンドスペースを形成するためには、1 層で行う場合には、最も配線の混み合った場所においては  $0.025 \mu\text{m}$  のラインアンドスペースパターンを形成することが必要となるが、これは現時点では困難である。多層配線を用いた場合でも、例えば 10 層でも  $0.25 \mu\text{m}$  ラインアンドスペースが必要であり、 $0.25 \mu\text{m}$  のラインアンドスペースは技術的には可能な状況ではあるが、10 層の配線パターンは今日においても未だ現実的ではない。

また困難は、次の点にもある。通常ブランキングアパーチャアレイは電子ビーム露光装置のコラムといわれる真空中に設置されるが、ここへ 4 万本の信号ラインを持ち込むことは、信号伝送線、信号の送り出し IC、真空のハーメチックシール、どれをとっても至難の業と言わざるを得ない。従って、2 次元ブランキングアパーチャアレイは各開口の電極へ単純に配線してオン／オフするこ

とを想定する限り、非現実的である。

更に、ビーム補正の問題がある。アパーチャアレイに入射するビームの断面各部の強度不均一性（クロスオーバー像の強度分布の不均一性）の補正はオン時間で補正するが、これも  $n \times m$  個の 2 次元アレイになってアパーチャ数が増大すると、補正回路の規模が大になる。

またパターンが微細化すると、隣接パターン間の近接効果によるパターンの太り／細りが目立ってくるが、この近接効果補正の機能は上記提案装置にはない。

上記の如き 2 次元ブランキングアパーチャアレイを用いる露光装置は、例えば実公昭 56-19402 号公報に開示されている。この公報によると、複数のゲート板からなるアパーチャアレイを用いることにより、電極への配線を複数のゲート板に分散させている。しかし、この方法をとっても配線数が全体として減少するわけではないので電極への配線は依然複雑である。又、ゲート板間で対応する電極の位置合わせを行うことは非常に難しい。

- 2 1 -

- 2 2 -



開口を1列にだけ並べた1次元ブランキングアパーチャアレイは、以上に述べたような問題が全く無いために、比較的簡単に製作できるが、このようなアパーチャアレイではスルーブットが小さく、ウェーハの1面を1秒で描画するというようなIC製造上の要求には応じられそうにない。

それ故本発明は、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても、他のリソグラフィ技術の追随を許さないブランキングアパーチャアレイによる荷電粒子ビーム露光を可能にするために、現実的に可能で制御が容易であると共に補正も容易な2次元パターン化ビームを形成するブランキングアパーチャアレイの構造と製作方法を提供することを目的とするものである。

アパーチャアレイの各開口の電極へオン/オフ信号を伝送するにはシフトレジスタが有効である。しかし格子幅は狭いので、シフトレジスタもこの狭い格子幅内に作り込める構成のものにする必要がある。それ故、シフトレジスタ等を極めて簡単

な構成のものにして狭い格子幅内に収容可能にすることが本発明の他の目的である。

又、上記の如く改良されたブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法を提供することが本発明の更に他の目的である。

(課題を解決するための手段)

第1図に示すように本発明では、荷電粒子ビームの断面形状を所望パターンに成形するのに、2次元配列のブランキングアパーチャアレイ1を用いる。2はそのアパーチャであり、縦、横に、マトリクス状に2次元配列される。各アパーチャ2は一对のブランキング電極3a、3bを備え、これらに加える電圧をオン/オフすることで、アパーチャ2を通るビームを偏向/非偏向し、被露光試料にビームが照射しまたは照射しないようにする。

各ブランキング電極に加える電圧は、ビーム断面形状の所望パターンに従って定める。4はその

- 2 3 -

所望パターンを発生するパターン発生部、5は所望パターンに従うオン/オフ電圧を各ブランキング電極へ供給する駆動機構であり、駆動機構5は、シフトレジスタとシフトレジスタによって制御される電極ドライバから構成されている。6はこれらの間にある駆動機構5の各々へ、パターン発生部4からのパターンデータを転送する回路である。

(作用)

第1図のビーム成形部7は、所望露光パターンをドット群で表わした可変ステンシルとして機能する。パターン発生部4では、2次元配列のアパーチャ2の集団が占める矩形領域における所望露光パターンを、各アパーチャ2に相当するドットに分解し、そのドットパターンデータを発生する。転送回路部6はそのドットパターンデータの各行の分を各駆動機構5へ送り、各行の各列のデータが各アパーチャ2へ供給されるようにする。これで各アパーチャ2へ該当データが送られ、オ

- 2 4 -

ン/オフされて、オンアパーチャのパターンは所望露光パターンに一致する。

駆動機構5は具体的にはシフトレジスタと、その各ビットのデータを受けてアパーチャ2のブランキング電極を駆動するドライバである。転送回路部6は、具体的にはCPUであるパターン発生部4から8ビットまたは16ビット並列などで送られてくるドットパターンデータを、2次元アパーチャアレイ1の各行の駆動機構5へ分配するバッファ手段である。

このビーム成形部7は事実上可変ステンシルとして機能するものであるから、これを用いた露光は露光速度が向上する。また形状が供給するデータに従って変化し、固定ステンシルのように多数枚用意しておいて切換えて使用する。ステンシルマスクそのものを交換する、等の作業が不要になり、スルーブットが向上する。さらに、駆動機構5は、シフトレジスタから構成されており、従来のように各々のアパーチャ2に対し別々にON/OFF用の配線を設ける必要がないので、ブラン

- 2 5 -

- 2 6 -

キングアパーチャ 1 の製作が容易になる。

#### 〔実施例〕

先ず、本発明になるブランキングアパーチャアレイの第 1 実施例及びこれを用いる本発明になる荷電粒子ビーム露光方法の実施例を説明する。

第 2 図 (a) に示すように、本実施例ではアパーチャを  $m$  行  $n$  列に二次元配列したブランキングアパーチャアレイ 19A を用いる。19c がアパーチャ、19a、19b はアパーチャ 19c 間の一対のブランキング電極である。

これらのアパーチャの各行に沿って  $m$  ビットシフトレジスタ 19d を設け、またこれら  $n$  個のシフトレジスタ 19d へパターンデータをを入力するバッファ 19e を設ける。

バッファ 19e へは、露光すべき図形のパターンデータを入力するが、これは図形を、行、列で区切ってドット化し、その列方向  $n$  ビットずつとする。例えば露光すべき図形もアパーチャアレイに合わせて分割し、かつそのアパーチャ分を  $m$

行  $n$  列に区切ったとすると、バッファ 19e へは 1 列目の  $n$  ビット、2 列目の  $n$  ビット、…  $m$  列目の  $n$  ビットの順で入力する。バッファ 19e は  $n$  ビットパラレル出力可能な FIFO 型とすると、1 列目  $n$  ビット、2 列目  $n$  ビット、…の順で  $n$  個のシフトレジスタ 19d へ同時に出力し、これらはクロックによりシフトされて行く。

入力データには、図形パターンデータの他に、修正データを含めることができる。ビーム強度分布の不均一性の修正データは露光時間の延長という形で該修正を行なう。露光時間の短縮という形の修正は、図形パターンデータによる露光量を予め少ないものにしておくことで可能である。近接効果の補正は、図形パターンデータを修正する（細目、太目にする）方法の他、露光量修正による方法も可能である。

第 2 図 (a) のアパーチャアレイ 19A は、その全体より大きい断面のビームを投射し、各ブランキング電極 19a、19b で偏向する／しないでビームパターン化を行なう。このパターン化は、

- 27 -

ビームの発生そのものを制御して行なうことも可能である。第 2 図 (b) (c) がその例で、これらは第 2 図 (a) の 1 つのアパーチャ 19c に相当し、従ってアレイ 19A では  $m$  行  $n$  列に 2 次元配列される。

第 2 図 (b) で 91 は透明電極で、P 型シリコン基板 95 の電極になる。92 は  $n$  型層 96 の電極で、これらにパターンデータに従って直流電圧 DC、V を加える。93 はこれらの P 層と  $n$  層の界面に形成される  $pn$  接合、97 は仕事関数を低下させる薄膜、98 は絶縁層、94 は加速電極である。電圧が加わっている状態でレーザ光を入射すると、アバランシェによりホットエレクトロンが発生し、これが電子ビーム EB として出て行く。

また第 2 図 (c) で 99 は陰体状カソード、104 はアノード電極、100 は透光性の基板、101 は透光性の導体、102 は光導電層、103 は絶縁層である。透光性導体 101 に電圧を加え、光を入射すると、カソード 99 から電子が放出され、電子ビーム EB として出て行く。いずれも、電極への

- 28 -

印加電圧の制御、発光ダイオード等による発光制御で電子ビーム EB の制御、パターン化された二次元電子ビームの発生が可能である。

第 2 図 (a) のアパーチャアレイ 19A を用いた露光方法を、第 3 図を参照しながら説明する。

第 3 図 (a) で、24a はウエハ 24 に形成される多数のチップ、41 はチップ上の露光すべき図形パターンを示す。この図形パターン 41 を  $m$  行  $n$  列に区分し、図形のある所（画素またはドット）を“1”，ない所を“0”で表わすと、パターンデータは第 3 図 (f) の D<sub>1</sub> の如くなる。バッファ 19e へはこのパターンデータの 1 列分、2 列分、…を逐次送り、バッファ 19e はこの 1 列分、2 列分、…を  $n$  個のシフトレジスタ 19d へ逐次入力し、シフトレジスタ 19d ではこれらをシフトクロックに従ってシフトする。従って最初の 1 列分については、シフトレジスタ 19d のデータは第 3 図 (b) の如くなり、データ“1”のアパーチャ 19c を通った電子ビームのみウエハ 24 の所望位置へ投射される。2 列目のバ

- 29 -

ターンデータも入力した段階では第3図(c)の如くなり、3列目、4列目も入力した状態では同図(d)(e)…の如くなる。

このようにアパーチャアレイ19A上では、パターンデータがたとえて言えば電光ニュースの如く移動して行く。従ってこのままではウエハ24上のビーム入射位置も移動して行く。しかし本発明ではこれは移動させず、所望露光時間になるまでウエハ24上所望位置に静止させる。これはビームの偏向制御で行ない、この偏向制御では、ウエハ24も移動しているとすればその分の補正も行なう。ステージ(ウエハ)移動方向とビーム偏向方向が同じなら、偏向による修正量は少なく済み、場合によってはステージ移動だけで済ますこともできる。

1列目は最初に現われ、m列目は最後に現われるから、このままでは露光時間が各列で異なるが、この点は1列目は最初に消え、m列目は最後に消えるようにすれば、均一化される。

露光時間は、アパーチャアレイにデータ“1”

- 3 1 -

画像パターンデータを細目、太目にする、または同様な露光量制御を行なう。

このように、2次元パターン化されたビームを移動しながら、かつ露光対象上では静止させて露光する方式であると、多量のパターンデータを効率よくブランキングアパーチャアレイ19Aまたはビーム発生素子BG、BGを含む荷電粒子ビーム発生手段へ供給でき、微細パターンの高速露光が可能になる。

なお、異なる図形のパターンデータを順次バッファ19eへ供給しても良い。1つの図形パターンデータのみをバッファ19eへ供給する場合、パターン上の各位置における露光時間が同じになる様にデータ“0”のダミーパターンデータをバッファ19eへ供給する必要がある。しかし、異なる図形のパターンデータを順次バッファ19eへ供給する場合はダミーパターンデータをバッファ19eへ供給する必要はない。

又、露光は、1つの図形のパターンデータに対するシフトレジスタ19dのシフト動作終了後に

- 3 3 -

が現われている時間であり、(現われている間のアパーチャアレイの数)×(クロック周期)である。この事実は修正に利用できる。即ち当該部分のビーム強度が低いので露光時間を延ばしたい所では、延長時間に応じてアパーチャ19cの有効個数を増加すればよい。露光時間の減少が必要な場合は、全体を少な目にしておき、通常の露光時間が必要な部分には有効アパーチャ数を増加する(この場合は通常にする)。このアパーチャ19cの有効/無効制御を行なうには、シフトレジスタ19dの後段部分で制御されるアパーチャ19cについては、そのブランキング電極とシフトレジスタ19dとの間にゲート回路(図示せず)を挿入し、露光量修正データ、即ち、正規の画像パターン用アパーチャアレイの他に、補正用アパーチャアレイ部を持たせればよい。固定的な有効/無効制御でよいなら電極とシフトレジスタ19dとの間を結線する/しないでよく、この制御のための付加回路を必要としない。

パターンの近接効果に対する補正をするには、

- 3 2 -

行なう構成をとっても良い。

第4図及び第5図に、本発明になる荷電粒子ビーム露光装置の実施例を示す。全図を通してそうであるが、他の同じ部分には同じ符号が付してある。第4図はシステムブロック図であり、描画データは磁気ディスク26または磁気テープ27からプロセッサ25によって読み出し、処理をされ、データ処理コントローラ40へ送られる。データ処理コントローラ40は、描画データの分析及び圧縮データの復元などを行なわせるデータ分割・拡張回路41へデータを送り、ここを通ったデータは、ビットマップ発生回路30へ送られる。ビットマップ発生回路30では、送られたデータが、図形形状や大きさを規定するパラメータならそれから図形を発生し、さらにブランキングアパーチャサイズにメッシュ分割を行ない、ビット状のデータとした後、ビットマップデータバス43を通り、ビットマップメモリ42に記憶させる。ビットマップ発生回路30では、横走査デフレクタ17及び8極デフレクタ20に対して与え

- 3 4 -

る位置データも発生し、同様にビットマップメモリ42へ記憶させる。

ビットマップメモリ42は、第6図の様に大きく3つに分割されている。転写位置データは、図形形状ビットデータのウエハ上の開始点や図形形状コードの指定情報を記述している。補正用データは、クロスオーバー像の不均一補正と近接効果補正の両方からなるデータである。本方式による図形描画の場合、ビットライン列の本数が、露光ドーズ量を決定することになるため、補正用ビットデータのメモリ部には、第7図の様に、重ね合せによってドーズ量の調整が成される様に、データの記憶をして置く。この第7図で補正データC<sub>1</sub>とC<sub>2</sub>はクロスオーバー像の不均一補正用と近接効果補正用である。

ビットマップメモリ42に記憶されたデータに基づき、ブランキング行列制御回路45によって、ブランキングアパーチャアレイ19Aと偏向制御回路35のコントロールを行なう。第5図に示すようにアパーチャアレイ19Aは、PIFOバッファ

53とシフトレジスタ56（これらは第2図の19e、19dに相当する）、及びアパーチャ電極19aをドライブするドライバ（例えばダーリントン接続のトランジスタ）58を備える。この第5図ではアパーチャアレイ19Aは図形パターン用19f、補正データC<sub>1</sub>、用19g、補正データC<sub>2</sub>、用19hの3部分からなり、各々にシフトレジスタ56及びPIFOバッファ53が設けられる。バッファ53はクロックCLK<sub>1</sub>で動作し、シフトレジスタ56はクロックCLK<sub>2</sub>で動作する。第8図に、図形パターン部19fのバッファ53へ取込まれて行くデータN<sub>1</sub>、N<sub>2</sub>、…及びアパーチャ電極E<sub>1</sub>、E<sub>2</sub>、…へ加えられるデータの推移を示す。

補正用ビットデータは、各ブロック毎にブランキングアパーチャアレイ19Aの補正部19g、19hに送られる。この補正部は、図形データ部のデータ移動が終了するのをクロックカウンタ回路57で計測し、順番が来たら、補正部PIFO53のデータを読み出し、ブランキングのオン、オフ

- 35 -

- 36 -

を行なう。これにより、第7図に示した補正が行なわれる。

第4図の偏向制御回路35は、ビットマップ行列制御回路45からの信号に同期して、ビットマップメモリ42より、転写位置データを読み出す。これにより、ラインビームLBの横走査デフレクタ17を駆動する。また、この場合、ステージ22は、ステージ制御コントローラ48により、フィードバック制御され、連続速度移動されている。従ってこのステージ22の連続速度移動に伴うラインビームLBの位置もフィードバック補正する必要があるため、偏向制御回路35は、レーザー干渉測長器38から、ステージ22の位置を読み取り、先の転写位置データとの差分を求め、差分がある範囲を維持するように8極デフレクタ20を駆動する。

第9図に偏向制御回路35の詳細を示す。制御部35aはブランキング行列制御回路45からクロックを受け、ビットマップメモリ42の読出しを行なう。S<sub>1</sub>、S<sub>2</sub>はその読出し指示、アドレ

スなどの制御信号、Dは読出したデータである。メモリ42の転写位置データ記憶部から読出したデータDは補正回路35b、レジスタ35cを経て横走査デフレクタ17のドライバ(DCAとAMP)に供給される。レーザー測長器38からのステージ位置データはレジスタ35dにセットされ、その位置データX<sub>1</sub>は上記データDが示す位置X<sub>2</sub>との差が、CPUによりレジスタ36gにセットされた判定値nより小さいか否か、即ち $|X_1 - X_2| \leq n$ か否か、差分判定回路36eにより判定され、NOなら所定値がレジスタ36fにセットされ、これがドライバ37を経て8極デフレクタ20へ与えられてラインビームLBの偏向を制御する。

以上により、たとえば0.05μm角のビームを列方向50本、行方向1000本並べて、200 A/cm<sup>2</sup>の電流密度、5 μC/cm<sup>2</sup>の感度のレジストを用い、行列で構成されるエリアの露光時間25 nsであると、2 mm幅のスキャンエリアを50 mm/sで連続移動し、1 cm<sup>2</sup>当たり20 msecの露光スピードが得ら

- 37 -

- 38 -

れ、従来型に比べ50分の1の速度向上となる。

第2図(b)(c)のビーム発生素子を用いる場合もその駆動回路などは同様である。

ここで従来の一次元アパーチャアレイと二次元アパーチャアレイ19Aとの比較を行なう。アパーチャは $0.01\mu\text{m}$ 角のビームをオン/オフするものとする。 $1\text{cm}$ の領域は上記ビームの $10^4$ 個で表われ、これを1秒で露光するとする。レジスト感度は $10\mu\text{c}/\text{cm}^2$ とすると、 $100\text{A}/\text{cm}^2$ の電流密度で $100\text{MHz}$ で露光できるからビーム数(アパーチャ数)は $10^4$ 、ライン長は $1\text{mm}$ となる。縮小率を $1/100$ とすると、 $100\text{mm} \times 1\mu\text{m}$ のアパーチャアレイを用意する必要がある。これをビームで均一照射することも、ビームの縮小光学系を組むことも、信号を $10^4$ 個迅速に用意することも至難の技である。

もしアパーチャアレイのアパーチャを $10^4$ しか用意できなければ $1\text{cm}$ を露光するのに100秒かかることになり、所要時間が過大になる。

他方、上記二次元アパーチャアレイ19Aを

100列、1000行とし、各列の信号(ビット)を1nsのクロック周期でシフトするものとする。 $10\mu\text{c}/\text{cm}^2$ のレジスト感度、 $100\text{A}/\text{cm}^2$ の電流密度では100nsの露光時間でよいから、各信号は100列通る間にレジストには充分な露光量が与えられることになる。縮小率は $1/200$ として、アパーチャアレイは $200\mu\text{m} \times 2\text{mm}$ となり、この面を均一照射して縮小すればよく、これなら作成容易である。また信号は1000個の独立なものを $1\text{GHz}$ のクロックレートで転送すればよく、実現可能性は高い。

二次元アパーチャアレイの全アパーチャへ同時にパターン信号を転送することは配線及びドライバ回路の点で難があり、また1アパーチャ毎に信号を送る方式では時間がかかり過ぎる。本実施例の如くシフトレジスタを用いる方式では、これらの問題を回避することができる。

上記実施例によれば、ビーム断面上の強度分布の不均一補正及び近接効果補正の機能を有し、回路構成をラインビームのビット数により複雑化す

- 39 -

ることがないので、二次元パターン化ビームによる露光が可能になる。例えば $0.2\mu\text{m}$ ルール程度のLSIにおける描画を従来の列ビット数倍上げることができ、安定、高速、高精度な露光装置が実現できる。

第1図において、ビーム成形部7は、アパーチャ2のアレイとその駆動機構5からなる成形単位を複数単位備え、切換えて使用するようにしてもよい。第10図にその様な構成の本発明になるブランキングアパーチャアレイの第2実施例を示す。64がその成形単位で、1枚のマスク75上に複数単位配設され、各々にコントロール回路65が付属する。パターンデータ転送回路部70はここでは、各成形単位(2次元のブランキングアパーチャアレイBAA)64に対するパターンメモリ71とPIFOバッファ72からなる。またパターン発生器4はプロセッサ(CPU)であり、バス8を介してパターンデータをメモリ71へ送る。

第10図では1枚のマスク75上に複数個のB

- 40 -

AA64を形成しておくので、1つのBAA64を使用中に、他のBAA64に次の露光パターンデータを供給し、1つのBAA64による露光が終了したら直ちに他のBAA64による露光に移ることができ、スループットを一層向上させることが可能である。

パターンメモリ71は各BAA64毎の領域に区分してあり、CPU4は各BAA64に対するドットパターンデータをメモリ71の該当領域に書込む。転送回路部70ではこれを読み出し、PIFOバッファ72、コントロール回路65を経てBAA64の各駆動機構へ該当データを供給する。この第10図はステンシルマスクの各ステンシルを2次元BAA64で構成したものに相当する。

1枚のマスク(基板)75上には1個または複数個のBAA64の他に、ステンシルなどを設けてもよく、この様な構成の本発明になるブランキングアパーチャアレイの第3実施例を第11図に示す。66Aは可変矩形用の開口部、66Bはステンシルである。ステンシル66Bは、1Cでよ

- 41 -

- 42 -

く出てくるパターンを切り取ったものであるから一般には多数あるが、本実施例ではその2個のみを示す。

第11図では1枚のマスク75にステンシル66Bと2次元BAA64を共存させる。極めてよく現われる従って使用頻度の高いパターンはステンシル66Bの方が、構造は簡単であり、合理的である。一般にステンシルマスクには可変矩形ビーム成形用開口部も設けるが、本例でもそのようにすると(66Aは可変矩形ビーム成形用開口部、66Bはステンシル)、可変矩形ビーム露光で比較的大きい線幅のパターンを露光し、その露光中にBAA64へデータ転送して、次はBAA64によるビーム成形、露光を行なうことができる。ステンシル66Bではパターンデータの転送は不要であるから、このマスク75ではCPU等の負担が軽減する効果もある。

マスク75それ自体も、1枚ではなく、複数枚としてもよい。第12図にこの様な構成の本発明になるブランキングアパーチャアレイの第4実施

例を示す。本実施例では2枚のマスク75A、75Bを使用している。第12図中、第23図と同一部分には同一符号を付し、その説明は省略する。これらのマスク75A、75Bを重ねて使用し、上部の成形部を使用するとき下部は単なる開口として、下部の成形部を使用するとき上部は単なる開口とする。本実施例では73、76は使用中の成形部、74、77は単純矩形開口部で、通過ビームに対する成形は行なわない。

ステンシルマスクとBAAマスクでは構造が著しく異なる。第12図のようにマスクは2枚とし、一方はステンシルマスク、他方はBAAマスクとすると、製造工程の点で有利である。またBAAマスクではシフトレジスタやドライバ等の多数の電子回路が付属する。第12図の形式にして一部は単なる開口とすると、配線や素子形成領域にゆとりがでる利点もある。

ステンシルマスクは、一般にステンシルと、可変矩形用開口部が形成されるから、第12図ではこれに単純矩形開口部を設ければよい。また第

- 43 -

12図の構成ではBAAマスクには、2次元アパーチャアレイとブランキング矩形開口部と単純矩形開口部を設けると両マスクの有効利用が可能になる。

次に、本発明になるブランキングアパーチャアレイの第5実施例を第13図と共に説明する。同図中、第11図と同一部分には同一符号を付す。アパーチャ2のブランキング電極の一方3bはグランドに接続され、他方がドライバ5aに接続されて、ビームを偏向する／しないの制御電圧を受ける。61は出力コントロール信号線、62はシフトクロック線、63はシリアルデータ線である。2次元アパーチャアレイの1行分のドットパターンデータがシリアルデータ線63を通して、シフトレジスタ5へ入力され、シフトクロックによりその末端へ向けてシフトされる。

第14図にこのシフト状況を示す。PIPO出力データ72Dは1行分のドットパターンデータ従って1行分のクロックCLK数毎に次のパターンデータに変わる。各行のデータA、B、…、N

- 44 -

は並列に出力され、先頭のBoから最終のBuまでがシフトレジスタ5に入った所で出力コントロール信号61Aが入り、シフトレジスタ5の各ビットがドライバ5aに取込まれ、ブランキング電極3aを駆動する。

CPU4は複数の2次元BAAに対して1つ設ければよい。パターンメモリ71からPIPOバッファ72へのデータ読出しはDMAにより行なうことができる。PIPOバッファ72ではコジトロール回路65からの要求信号によりデータを出力する。PIPOバッファ72は2次元BAAの行数だけ設けると、各バッファの出力データを各行のシフトレジスタ5へ与えるだけでよい。各行に共通に1個設ける場合は、読出しデータを各行へ振り分けることになり、出力速度は各行のシフト速度より行数倍だけ高くなる。

第15図にブランキングアパーチャアレイの具体例を示す。同図(a)に示すように、アパーチャ2はシリコン基板89に、エッチングにより形成される。ブランキング電極3a、3bは同図

- 45 -

- 46 -

(b) に示すように、アパーチャ 2 の周壁の対向する 2 辺に形成される。シフトレジスタとドライバ等の電子回路 5 A とその配線 5 B は同図 (c) に示すように、シリコン基板 8 9 の下面 (電子ビーム出射側の面) に形成される。同図 (d) は平面図で同図 (b) はこの X-X 断面、同図 (c) は Y-Y 断面を示す。90 a, 90 b は重金属層で、電子ビームがシリコン基板 8 9 に入射してその電位変動、電子回路 5 A への悪影響を与えるのを防止する。ドライバへ接続される電極 3 a などは図示しないが SiO<sub>2</sub> 層などにより絶縁する。

シフトレジスタは周知の回路構成のものでよい。行内の各アパーチャのブランキング電極へパターンデータに従う信号を与えるのにシフトレジスタを用いると、配線数を大幅に低減できる。例えば行内アパーチャ数が 256 であると、単純には 256 本の駆動線が必要になるが、シフトレジスタならレジスタ 1 つでよい。

第 16 図に本発明になるブランキングアパー

チャアレイの第 6 実施例を示す。本実施例ではシフトレジスタ 5 は 4 ビット型のシフトレジスタ 5 B を多数縦続接続して構成する。このシフトレジスタ 5 B は TTL や ECL のシフトレジスタ (195 型) として市販されている。これをアパーチャアレイの内部または外部に付加することでシフトレジスタ 5 とする。D<sub>1</sub> ~ D<sub>4</sub> は 4 ビットシフトレジスタ 5 B の出力端であり、D<sub>1</sub> は入力データ、CLK はクロック入力、CLR はクリア入力である。第 16 図 (b) に示すようにシフトレジスタ 5 B は行方向でアパーチャ 2 の 4 個毎に、アパーチャ 2 間の基板に形成され、ドライバ 5 a は列方向で各アパーチャ 2 間の基板に形成され、シフトレジスタ出力 D<sub>1</sub> ~ D<sub>4</sub> の 1 つを受ける。

数値例を挙げるとアパーチャ 2 のサイズは 1 辺が 5 ~ 10 μm の方形、ピッチは 10 ~ 20 μm、個数は縦／横方向にそれぞれ 30 ~ 50 個、計 900 ~ 2500 個である。アパーチャ 2 は一辺が 8 μm の方形、ピッチは 10 μm とすると、アパーチャ 2 間には 2 μm 幅の帯状領域が行、列方

向にできる。この帯状領域に第 16 図 (b) のようにシフトレジスタ 5 B、ドライバ 5 a を形成することは可能である。

シフトレジスタ 5 B には電源線、クロック線、信号線などが必要であるが、第 16 図 (b) では説明の便宜上これらは図示していない。2 μm 幅の帯状領域にこれらの線は 0.2 μm 幅ラインなら 5 本、0.25 μm 幅ラインなら 4 本置ける。多層配線をすればこれらの整数倍の線を収容可能である。

上記実施例の如く、シフトレジスタを用いるブランキングアパーチャアレイでは、行ないし列に対してシフトレジスタが 1 つとなり、アドレスデコード信号線が不要となる為、製作・制御上の利点が大きくなる。また可変ステンスルをマスク上に複数個設け、また固定ステンスルと組合せれば、1 つの可変／固定ステンスルで露光中に他の可変ステンスルにパターンデータを供給して準備することができ、スループットの向上に寄与することができる。例えば 0.5 μm のアパーチャを 200 × 200 個配置したアレイで、シフトレジスタとブラ

ンキング電極駆動で 1 組 1 ns の処理時間が必要、従って全体では 200 ns の処理時間が必要になっても、他のステンスルでの露光中にこれを行えば処理時間は事実上零にすることができる。また固定ステンスルのようにマスク交替の必要がなくなるから露光所要時間の低減に寄与する所は大きく、またパターンの汎用度が向上し、設計の自由度が増加する。

次に本発明になるブランキングアパーチャアレイの第 7 実施例を第 17 図及び第 18 図と共に説明する。第 17 図は本実施例で用いるシフトレジスタの回路図を示し、第 18 図はブランキングアパーチャアレイにおけるシフトレジスタの配置を示す。

第 17 図では、インバータ 2 個をゲートを通して接続したものを単位とし、この複数単位を第 2 のゲートを介して直列に接続したものでシフトレジスタを構成する。トランジスタ Q<sub>1</sub> と Q<sub>2</sub> が第 1 のインバータを構成し、トランジスタ Q<sub>3</sub> と Q<sub>4</sub> が第 2 のインバータを構成し、トランジスタ

$Q_1$ 、 $Q_2$ が第1、第2のゲートを構成し、第1、第2のクロックCLK<sub>1</sub>、CLK<sub>2</sub>でオン/オフする。この第17図の回路がシフトレジスタの1単位であり、200×200個のアパーチャを持つ2次元ブランキングアパーチャアレイでは、この200単位が直列に接続されて1個のシフトレジスタを構成し、かかるシフトレジスタが行数だけ本実施例では200個設けられる。

第18図において、SR<sub>1</sub>、SR<sub>2</sub>、…は上記シフトレジスタで、斜線部Uは上記単位である。APはアパーチャアレイBAAの開口で、本実施例では200×200個ある。この開口群の各行方向の配列の間の格子幅領域にシフトレジスタSR<sub>1</sub>、SR<sub>2</sub>、…が形成され、開口群の各列方向の配列の間の格子幅領域にクロックCLK<sub>1</sub>、CLK<sub>2</sub>の配線が通される。

各開口APにはそれぞれ一対の電極E<sub>1</sub>、E<sub>2</sub>が設けられ、その一方のE<sub>1</sub>はグランドまたは電源高電位V<sub>DD</sub>に接続され、他方E<sub>2</sub>がシフトレジスタの各単位の出力電圧B<sub>1</sub>を加えられる。

- 5 1 -

ゲート容量により以前の状態を保つ。

次に、本発明になるブランキングアパーチャアレイの製造方法の実施例を第19図及び第20図と共に説明する。

第19図(a)に示すように半導体基板110に不純物打ち込みなどで不純物拡散層112を作り、この上に同図(b)に示すようにエピタキシャル成長層114を成長させる。次に同図(c)に示すようにエピタキシャル成長層114に素子130つまりインバータやゲートを構成するMOSトランジスタなどを形成する。インバータとゲートを単位とするシフトレジスタは行方向に、ゲートへ与える第1、第2のクロック信号線は列方向に延びる。これらの行、列の間が開口APになるが、この開口の形成は第20図に示すようにして行なう。

即ち第20図(a)に示すように、エピタキシャル成長層114の、各開口の一対の対向する側辺の位置に、細幅の溝116をトレンチエッチングにより基板110に達するまで蝕刻する。次は同図(b)に示すように全面に絶縁膜118を形成し、

第17図の回路がシフトレジスタとして動作することを説明すると、今入力V<sub>in</sub>がH(ハイ)とすると、インバータQ<sub>1</sub>、Q<sub>2</sub>の出力はLである。入力V<sub>in</sub>はクロックCLK<sub>1</sub>がHのとき前段より与えられ、このときクロックCLK<sub>1</sub>はLで、ゲートQ<sub>1</sub>はオフである。従って次段へは前回入力で定まった第2インバータQ<sub>2</sub>、Q<sub>3</sub>のH/L出力がゲートQ<sub>2</sub>を通して与えられる。

次にクロックCLK<sub>1</sub>がL、クロックCLK<sub>2</sub>がHになると、上記第1インバータQ<sub>1</sub>、Q<sub>2</sub>の出力LがゲートQ<sub>2</sub>を介して第2インバータQ<sub>3</sub>、Q<sub>4</sub>へ与えられ、第2インバータの出力はHになる。しかしクロックCLK<sub>1</sub>がLなので、この出力Hは次段へは与えられず、与えられるのは次のサイクルでCLK<sub>1</sub>がH、CLK<sub>2</sub>がLになったときである。以下同様で、クロックCLK<sub>2</sub>によりデータ入/出力、クロックCLK<sub>1</sub>により当該単位内でのデータシフトが行なわれる。トランジスタQ<sub>1</sub>、Q<sub>2</sub>がオフのときトランジスタQ<sub>3</sub>、Q<sub>4</sub>のゲート電極はフローティングになるが、

- 5 2 -

次に同図(c)に示すように溝116へ電極材料120を堆積させる。次に同図(d)に示すように、こうして作られた電極E<sub>1</sub>、E<sub>2</sub>間のエピタキシャル成長層114及び不純物拡散層112をエッチングにより除去する。

次は第19図(d)に示すように半導体基板110の電極E<sub>1</sub>、E<sub>2</sub>間を裏面よりテーパエッチングする。これで開口APが完成する。

各開口の電極E<sub>1</sub>、E<sub>2</sub>の一方へはシフトレジスタの各単位の出力を、また他方へは電源の低電位側GNDまたは高電位側V<sub>DD</sub>と低電位側GNDを交互に接続するが、この配線工程は、シフトレジスタの各素子への配線やクロック信号線と共にまたは別に行なう。

次に、本発明になるブランキングアパーチャアレイの第8実施例を第21図及び第22図と共に説明する。第21図は本実施例で用いるシフトレジスタの回路図を示し、第22図はブランキングアパーチャアレイにおけるシフトレジスタの配置を示す。

- 5 3 -

- 5 4 -



第21図に示すように、本実施例ではインバータ1個とゲート1個でシフトレジスタの1単位を構成する。この場合、入力電圧 $V_{in}$ に対し出力電圧 $V_{out}$ は反転するので、開口の電極側で反転して元に戻る。

即ち第22図に示すように、各開口APの一方の電極 $E_1$ は一斉にグランドへ接続するのではなく、行方向で交互に電源 $V_{DD}$ 、グランドGNDへ接続する。

また各単位のゲート $Q_1$ は、行方向で交互に第1、第2クロックCLK<sub>1</sub>、CLK<sub>2</sub>を受ける。従って、第21図でも、2単位を1つと見れば、第17図と同様のシフトレジスタを構成する。

第21図のシフトレジスタもシフト動作は、第17図のシフトレジスタと同様である。

シフトレジスタは例えば200単位のものが200個設けられるが、これらへのデータ入力は、例えば同様に200単位のシフトレジスタを設けてその各単位より行なうことができる。

データシフト中も各開口の電極 $E_1$ へ当該単位

- 55 -

位の出力は非反転であるから、これでよい。

第22図で電極 $E_1$ へ与えるHレベル、Lレベルは、原理的にはシフトレジスタの単位の出力のHレベル、Lレベルであり、これで反転/非反転が行なわれる。第17図では各開口の電極 $E_1$ を一斉にグランド(Lレベル)に接続したが、これは一斉に電源 $V_{DD}$ (Hレベル)へ接続してもよく、但しこの場合は一斉に反転されるから入力データも反転しておく必要がある。

第7及び第8実施例によれば、2次元ブランキングアパーチャレイの狭い格子幅(開口と開口の間の領域)内にシフトレジスタ及びクロック信号線を配設することが可能である。即ちシフトレジスタの1単位が1開口に対応するが、1単位は第17図ならトランジスタ6個、第21図ならトランジスタ3個で構成される。行方向配線は第17図、第21図共に電源線2本、信号線1本の計3本、列方向のクロック信号線は第17図なら2本、第21図なら1本である。従って例えば格子幅 $3\mu m$ 、配線幅 $0.5\mu m$ としてもこの格子幅

- 57 -

の出力が与えられるが、アパーチャレイBAAへ電子ビームを照射するのはシフト終了で各単位の出力が所望出力になったときとすれば、露光に供される電子ビームの断面形状を所望形状にすることができる。

第21図のシフトレジスタでは、各単位の出力が交互に反転、非反転になる。この事を考慮して入力データを変形してもよいが、他方の電極 $E_2$ の電位で再反転して、全て非反転とすることができる。即ち第22図のように、シフトレジスタの入側から数えて奇数番の単位に対応する開口APの電極 $E_2$ には電源 $V_{DD}$ を加えると、入力データ"1"(H)のとき出力データ"0"(L)となって電極 $E_2$ はLレベルを受けるが、電極 $E_1$ はHレベルであるから、結局この開口には電界が作用し、ビームを偏向してウエーハには到着しないようにする(データ"1"はビームオフとする)。偶数番の単位に対応する開口の電極 $E_2$ はグランドGNDへ接続し、他方の電極 $E_1$ のH、Lに応じてビームオフ、オンとする。偶数番の単

- 56 -

内に十分収まる。

なお、第19図で用いる半導体基板110はシリコン基板が適当である。不純物拡散層112の形成はエッチングに対するストッパ形成が目的で、これにより、溝116を表面からこの部分まで開け、また裏面からのテーパエッチングをこの部分まで行ない、裏面側が拡張した開口APを作ることができる。溝116内へ電極材料120の堆積は、例えばCVD法により不純物ドーパの多結晶シリコン層を成長させ、それをパターニングすることにより行なうことができる。

また第17図でゲート $Q_1$ を除いて、第1インバータ $Q_1$ 、 $Q_2$ の出力を直接第2インバータ $Q_3$ 、 $Q_4$ の入力( $Q_1$ のゲート電極)へ与えるようにし、これをシフトレジスタの1単位として、隣接単位ではそのゲート $Q_1$ のクロックを交互にCLK<sub>1</sub>、CLK<sub>2</sub>とすると、第21図と同様に、但し各単位の出力に反転、非反転がないシフトレジスタが得られる。ゲート $Q_1$ を残し、 $Q_2$ を除いて直結とし、ゲート $Q_3$ のクロックは隣接単位

- 58 -

で交互にCLK<sub>1</sub>、CLK<sub>2</sub>としても同様である。

上記第7及び第8実施例によれば、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても、他のリソグラフィー技術の追従を許さないブランキングアパーチャアレイによる電子ビーム露光が容易に実現出来る。また、格子幅内に作り込む素子及び配線数は少なくてよいので、微細格子幅の2次元ブランキングアパーチャアレイを容易に実現することができる。

#### 〔発明の効果〕

本発明によれば、微細さ、位置合わせ精度、クイックターンアラウンド、制御及び信頼性の全てにおいて従来のリソグラフィー技術よりすぐれた荷電粒子ビーム露光が可能となり、実用的には極めて有用である。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図はブランキングアパーチャアレイの第1

実施例を説明する図、

第3図は荷電粒子ビーム露光方法の実施例を説明する図、

第4図は荷電粒子ビーム露光装置の実施例を示すブロック図、

第5図はアパーチャアレイの駆動部のブロック図、

第6図はビットマップメモリの構成の説明図、

第7図は露光補正を説明する図、

第8図はブランキング電極の駆動を説明するタイミングチャート、

第9図は偏向制御回路の詳細なブロック図、

第10図はブランキングアパーチャアレイの第2実施例を説明する図、

第11図はブランキングアパーチャアレイの第3実施例を説明する図、

第12図はブランキングアパーチャアレイの第4実施例を説明する図、

第13図はブランキングアパーチャアレイの第5実施例を説明する図、

- 5 9 -

第14図は第5実施例の動作説明用タイミングチャート、

第15図はアパーチャアレイの具体例の説明図、

第16図はブランキングアパーチャアレイの第6実施例を説明する図、

第17図はブランキングアパーチャアレイの第7実施例の要部を示す回路図、

第18図は第17図の配列状態を示す平面図、

第19図及び第20図はブランキングアパーチャアレイの製造方法の実施例を説明する工程図、

第21図はブランキングアパーチャアレイの第8実施例の要部を示す回路図、

第22図は第21図の回路の配列状態を示す平面図、

第23図はステンシルマスク型露光装置の説明図、

第24図は電子ビーム露光装置の構造説明図である。

- 6 1 -

- 6 0 -

第1図～第22図において、

1、19Aはブランキングアパーチャアレイ、

2、19c、APはアパーチャ、

3a、3b、19a、19b、E<sub>1</sub>、E<sub>2</sub>はブランキング電極、

4はパターン発生部、

5は駆動機構、

6は回路部、

7はビーム成形部、

19dはバッファ、

19eはシフトレジスタ、

24はウエハ、

66Aは開口部、

66Bはステンシル、

75は基板、

110はマスク、

112は不純物拡散層、

114はエピタキシャル成長層、

116は溝、

118は絶縁膜、

- 6 2 -

120 は金属

を示す。

特許出願人 富士通株式会社

代理人 弁理士 伊 東 忠 彦



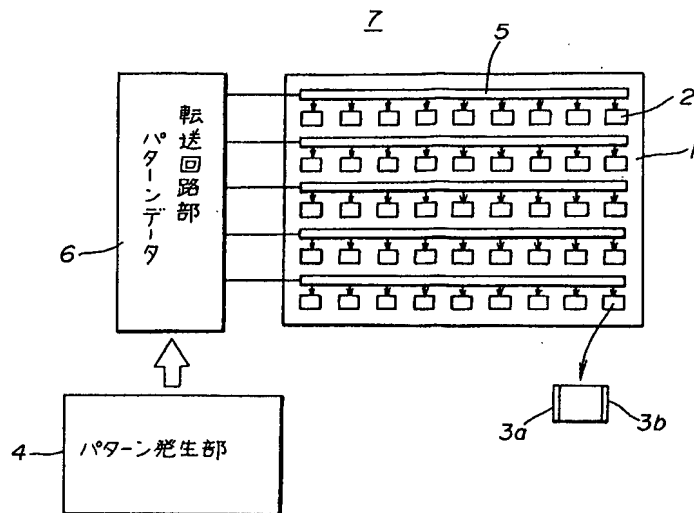
同 弁理士 松 浦 兼 行



同 弁理士 片 山 修 平

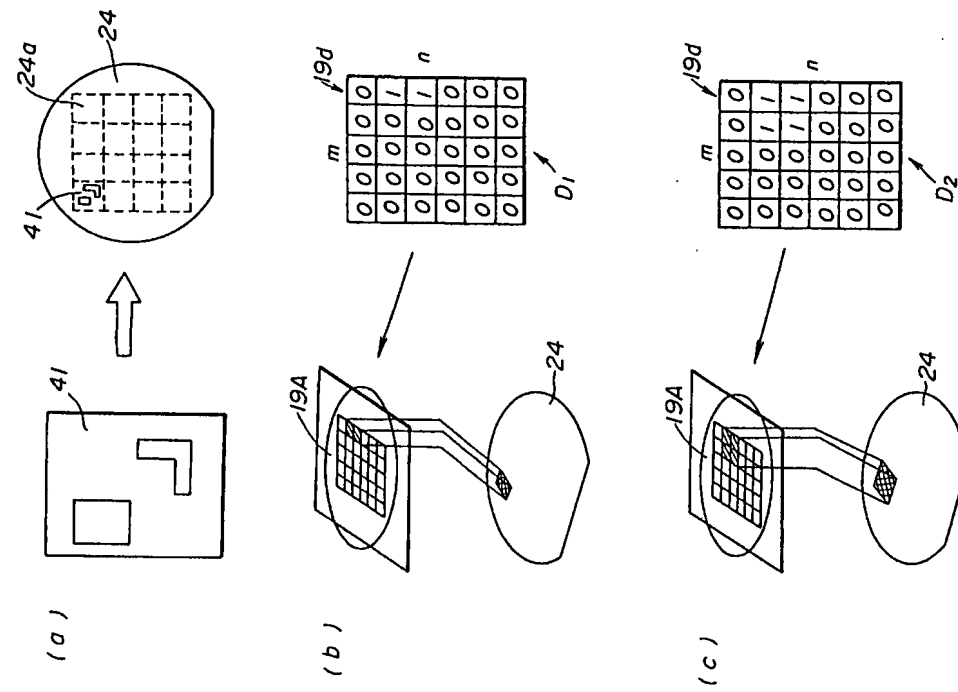


- 6 3 -



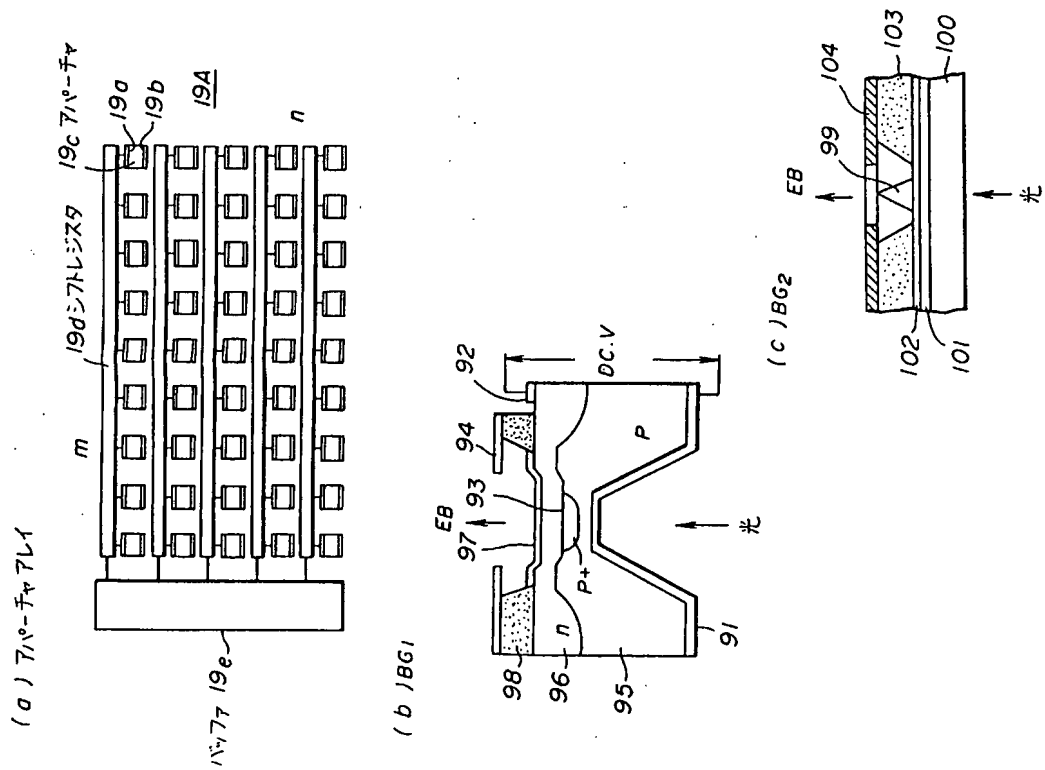
本発明の原理図

第 / 図



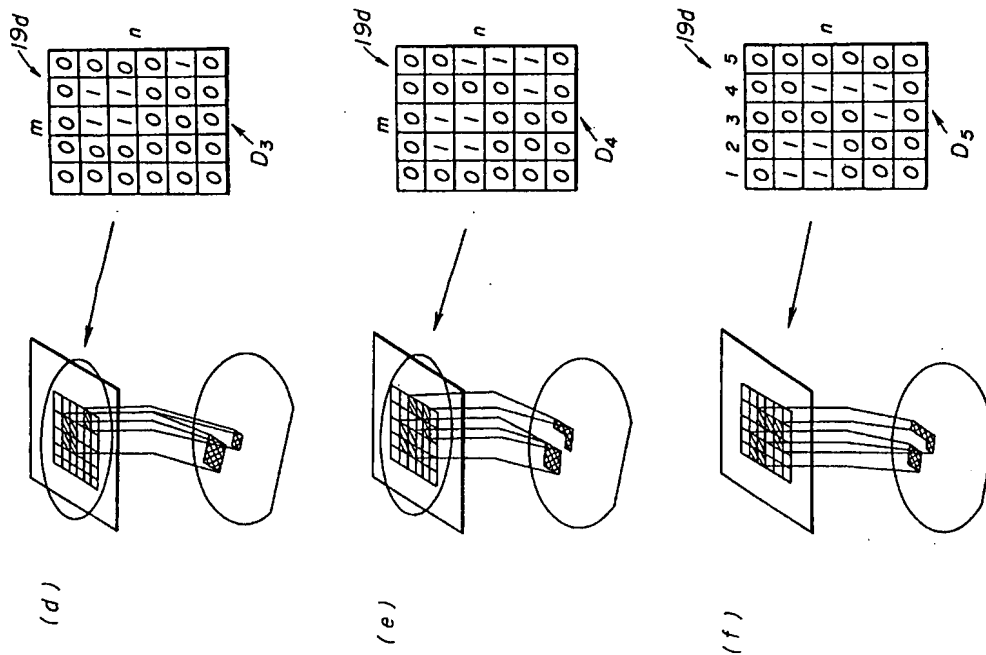
荷電粒子ビーム露光方法の実施例を説明する図

鎮 3 区 (116)

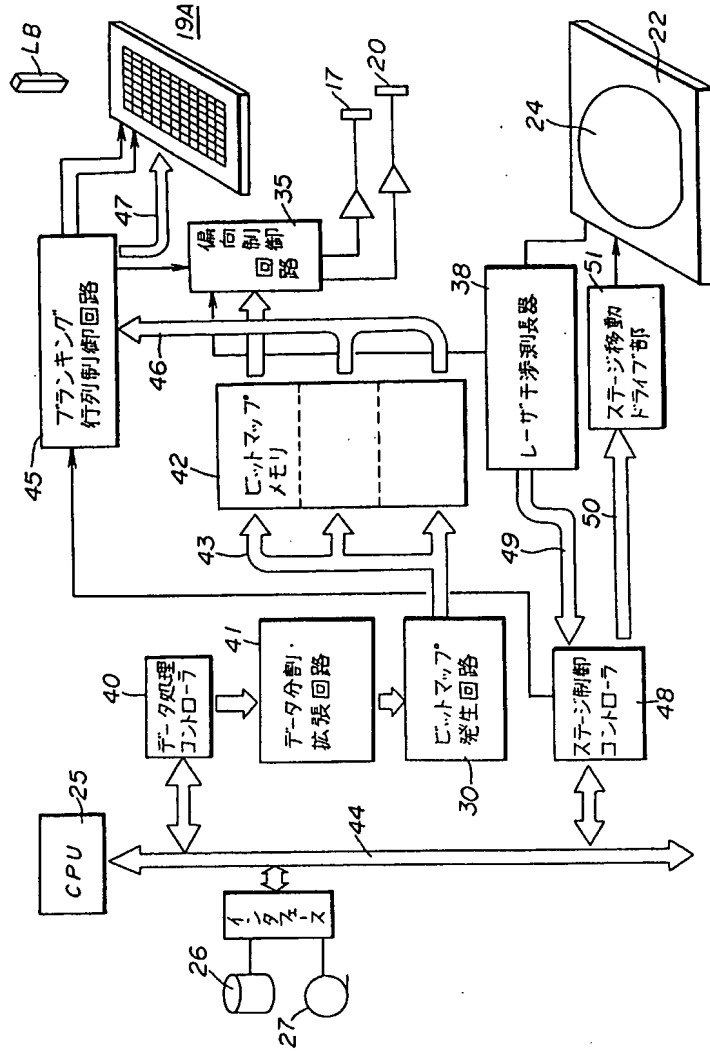


「ブランキング」アパーチャレイの第1実施例を説明する図

圖 2 集

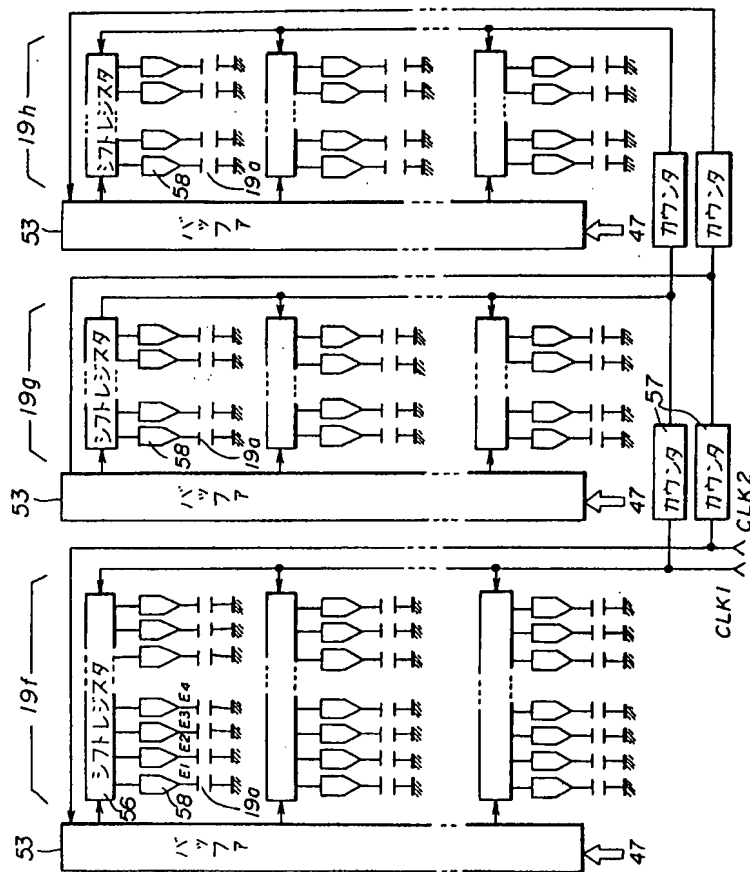


第3図 (4a2)



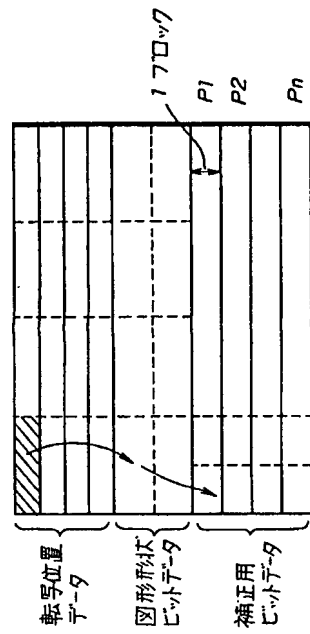
荷電粒子ビーム露光装置の実施例を示すブロック図

第4図



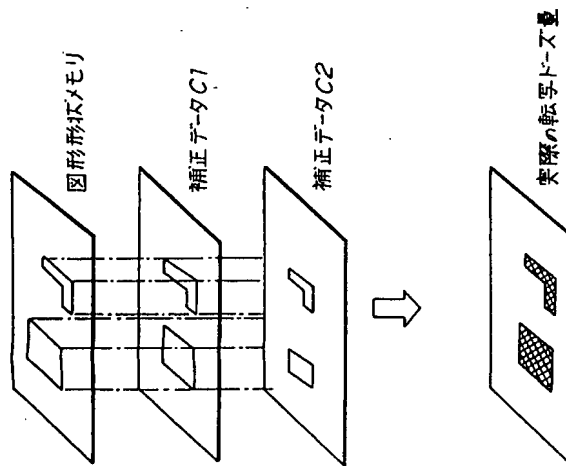
アパーチャアレイの駆動電力部のブロック図

第五区



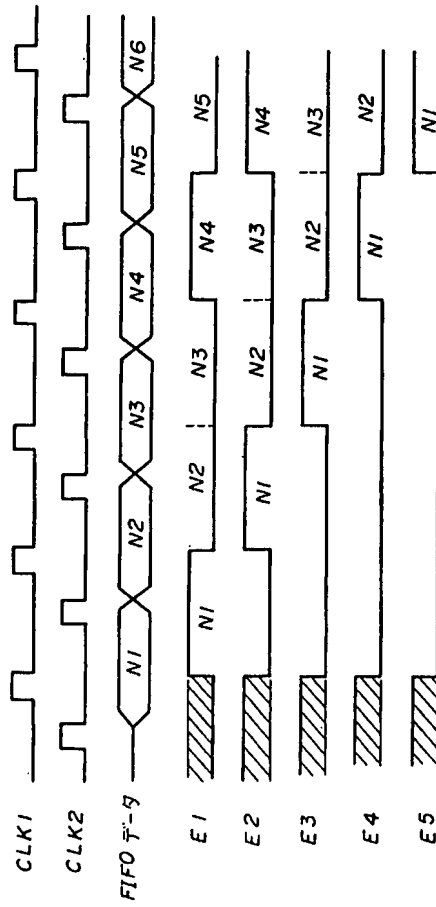
## ビットマップメモリの構成の説明図

6課



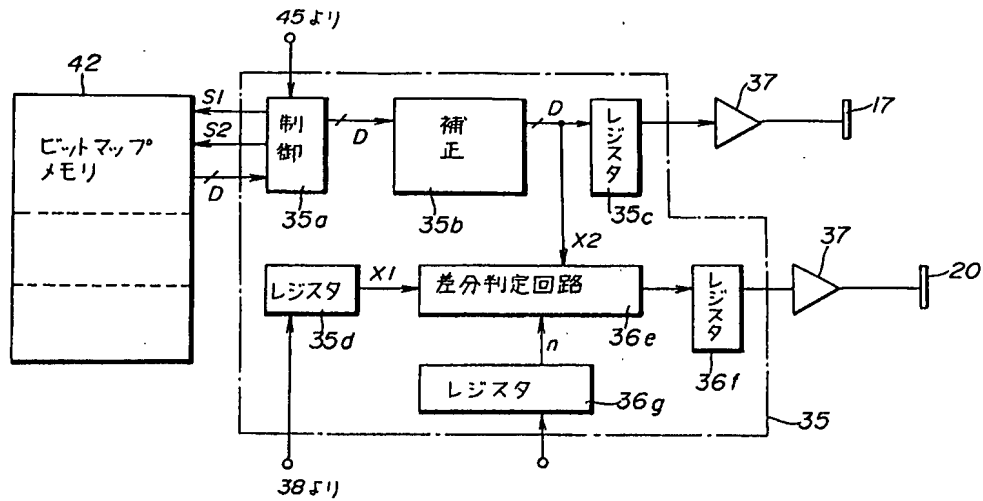
島光補正を説明する図

第7図



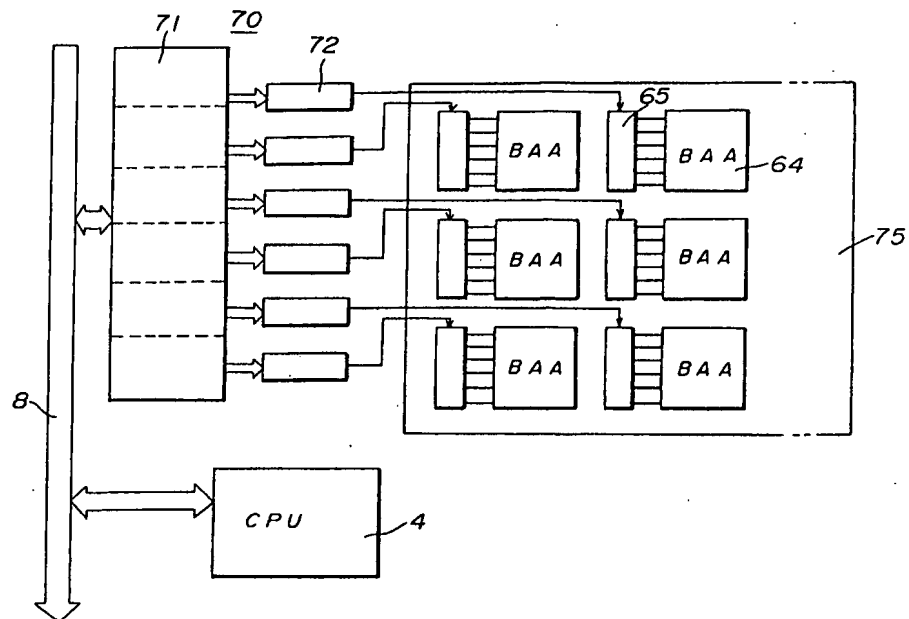
フライング電極の駆動を説明するタイミングチャート

第8図



偏向制御回路の詳細なブロック図

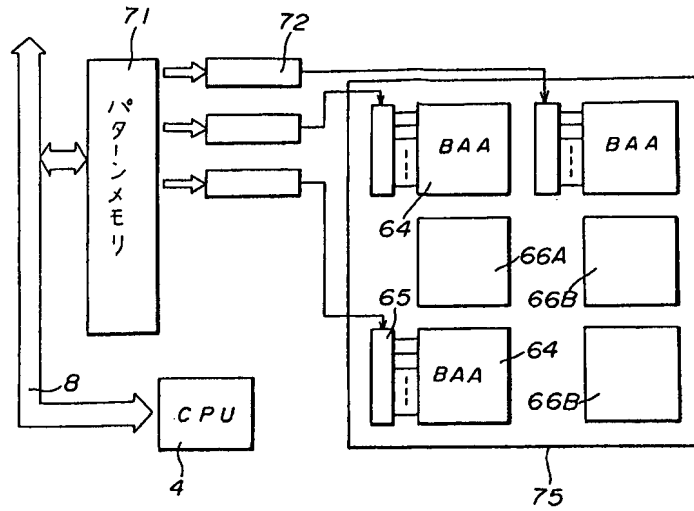
第 9 図



ブラッキングアパーチャレイの第2実施例を説明する図

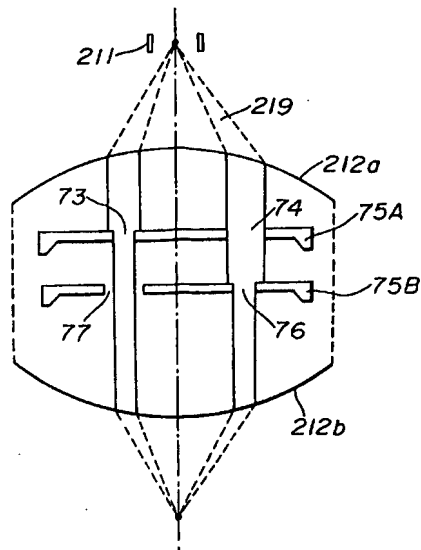
第10 図





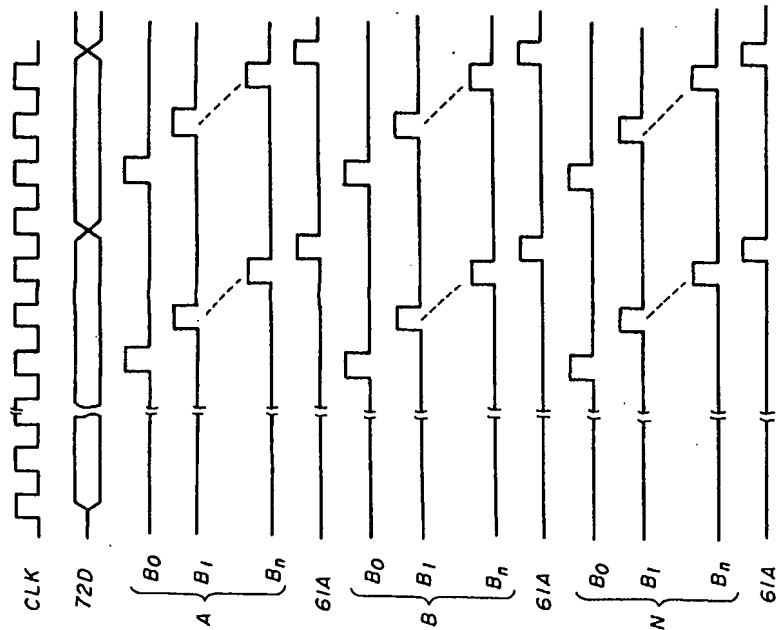
ブラッキングアパーチャアレイの第3実施例を説明する図

第11図



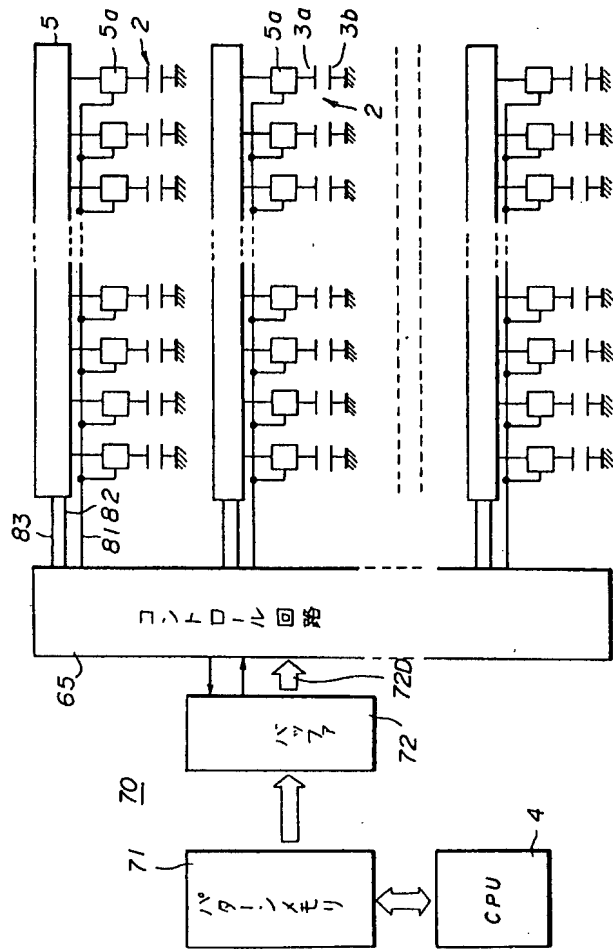
ブラッキングアパーチャアレイの第4実施例を説明する図

第12図



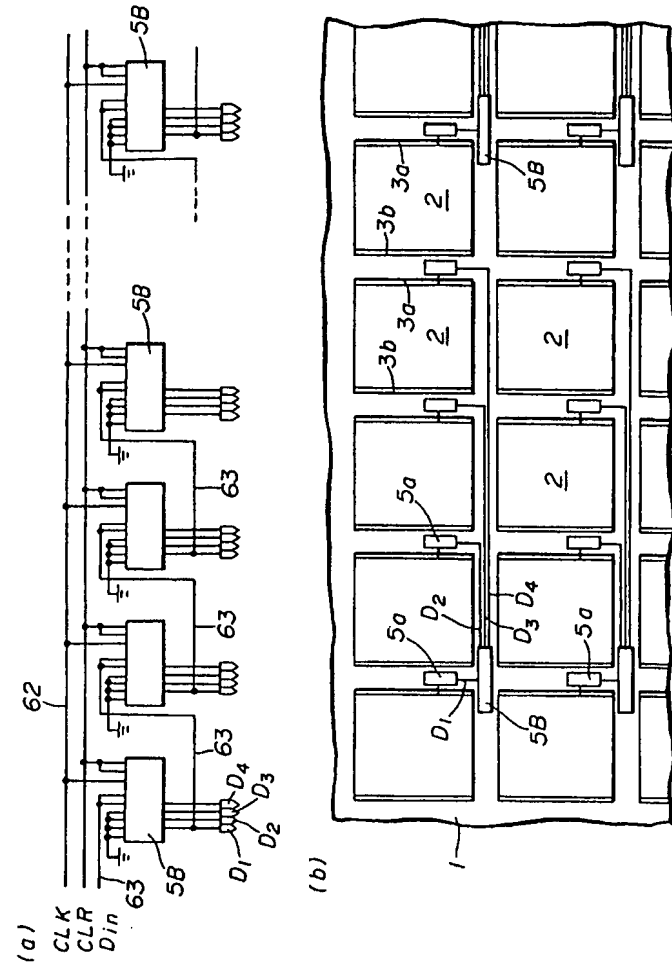
第5実施例の動作説明用タイミングチャート

第14図



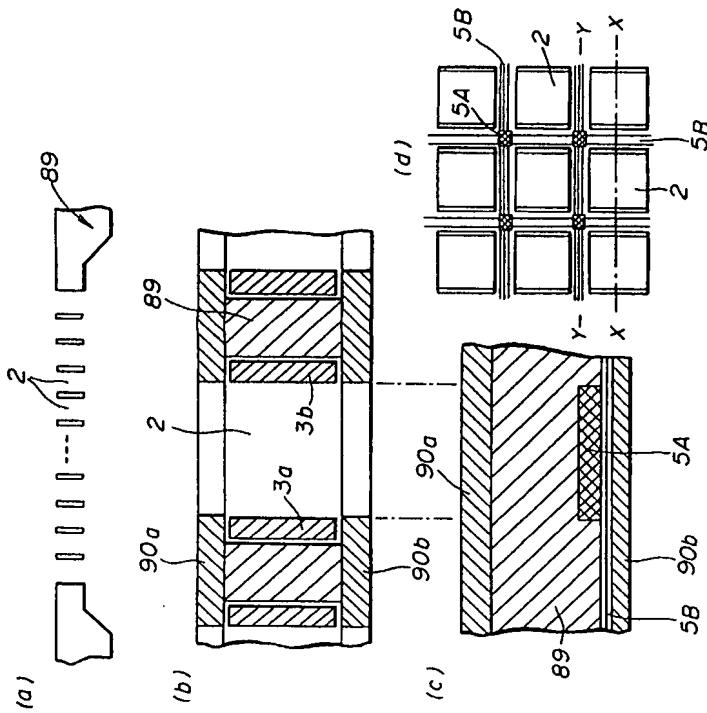
フランクングアパーチャレイの第5実施例を説明する図

第13図



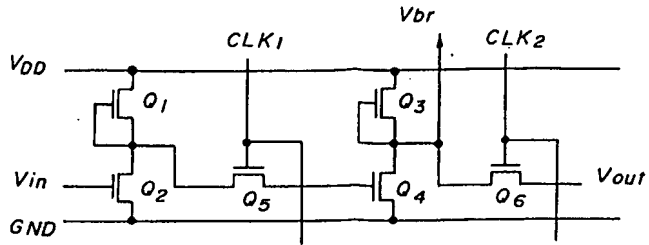
フランクিংアレイの第6実施例を説明する図

第16図



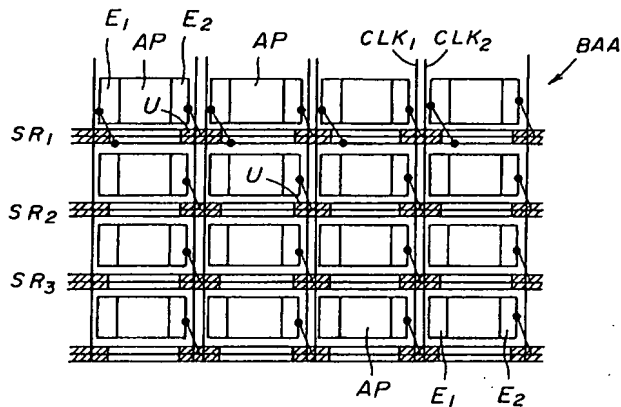
フランクアレイの具体例の説明図

第15図



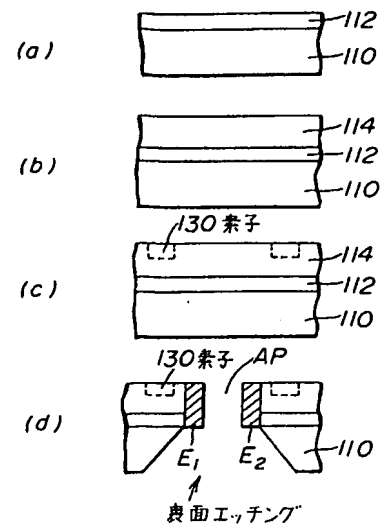
ブラッキングアパーチャレイの第1実施例の  
要部を示す回路図

第17図



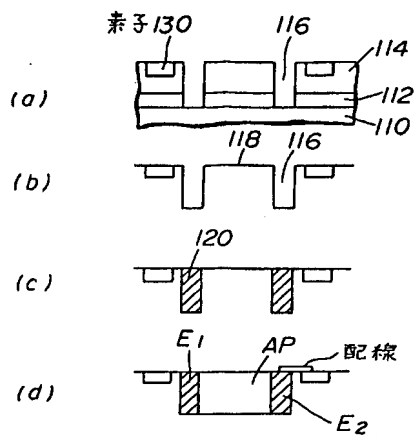
第17図の回路の配列状態を示す平面図

第18図



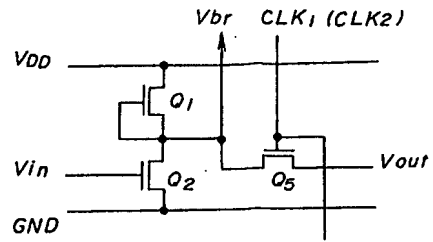
ブラッキングアパーチャレイの製造方法の  
実施例を説明する工程図

第19図



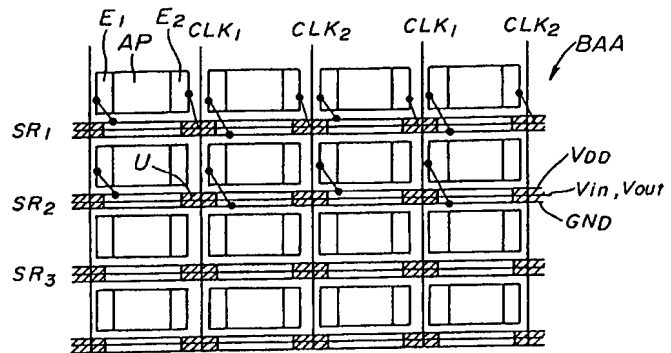
ブラッキングアパーチャレイの製造方法の実施例を説明する工程図

第20図



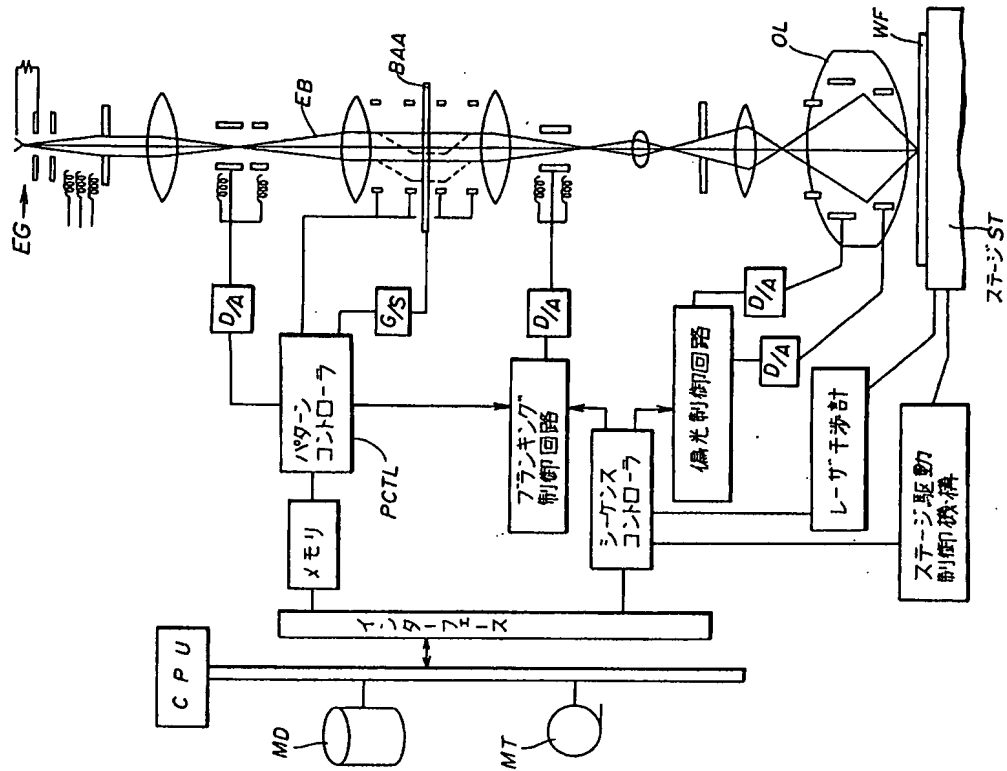
ブラッキングアパーチャレイの第8実施例の要部を示す回路図

第21図



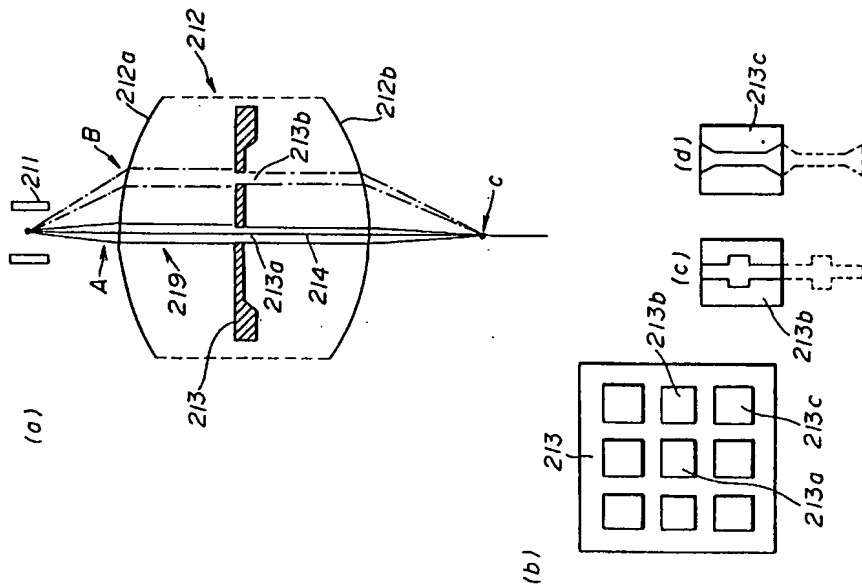
第21図の回路の配列状態を示す図

第22図



電子ビーム露光装置の構造説明図

第24區



ステンシルマスク型露光装置の説明図

区 23 課

第1頁の続き

優先権主張 ⑫平1(1989)9月14日⑬日本(JP)⑭特願 平1-239623

⑫平1(1989)9月25日⑬日本(JP)⑭特願 平1-248835

⑯発明者 高 橋 靖 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑯発明者 安 田 洋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内